

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-297097

(43)Date of publication of application : 09.10.2002

(51)Int.Cl.

G09G 3/30

G09G 3/20

H05B 33/08

H05B 33/14

(21)Application number : 2001-098863

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.03.2001

(72)Inventor : MIKAMI YOSHIKI

NAGAE KEIJI

SATO TOSHIHIRO

KANEKO YOSHIYUKI

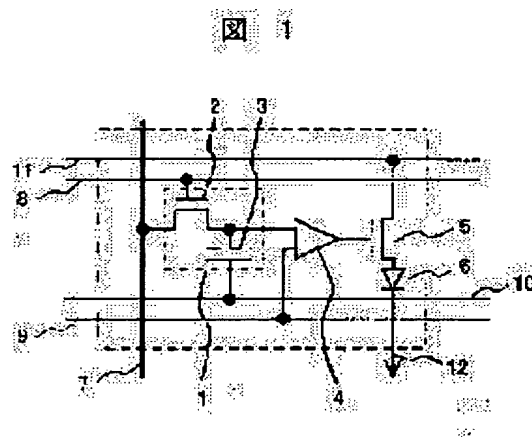
TANAKA SHOSAKU

(54) DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To display an image of high quality at a low power in an active matrix display device, using an optoelectronic element.

SOLUTION: A pixel circuit of the active matrix display device using an organic EL element, is provided with a sampling circuit 1 for sampling the signal voltage of signal wiring 7, in synchronization with a scanning pulse, a reference voltage 9, and a comparator circuit 4, and a sampled signal voltage is compared with the reference voltage in the pixel circuit, and a display period for making the EL elements emit light is controlled with a period until the inversion of the voltage relation, so that a light-emitting period during one frame is controlled.



LEGAL STATUS

[Date of request for examination]

19.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-297097

(P2002-297097A)

(43) 公開日 平成14年10月9日 (2002.10.9)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 A 5 C 0 8 0
	6 2 4		6 2 4 B
	6 4 1		6 4 1 A
H 0 5 B 33/08		H 0 5 B 33/08	

審査請求 未請求 請求項の数25 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2001-98863 (P2001-98863)

(22) 出願日 平成13年3月30日 (2001.3.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 三上 佳朗

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 長江 慶治

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

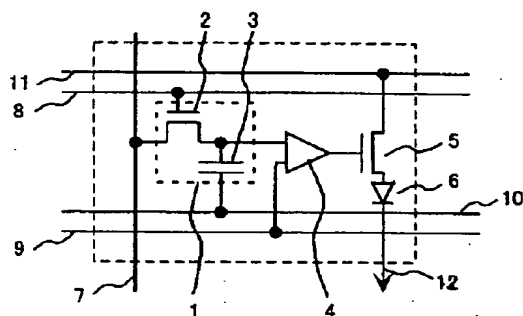
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】電気光学素子を用いたアクティブマトリクス表示装置において、低電力で高画質の表示を得る。

【解決手段】有機EL素子を用いたアクティブマトリクス表示装置の画素回路に、走査パルスに同期して信号配線7の信号電圧をサンプリングするサンプリング回路1と、基準電圧9、コンパレータ回路4を具備し、画素回路内でサンプリングした信号電圧と基準電圧とを比較し、電圧関係が反転するまでの期間をもってEL素子の発光する表示時間を制御することにより、1フレーム時間内での発光時間を制御する。

図 1



【特許請求の範囲】

【請求項1】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素と、基準電圧配線により前記画素に基準電圧が印加された表示装置において、前記画素にはサンプリング回路と電圧比較回路と電気光学素子駆動回路が配置されており、前記サンプリング回路は、前記信号配線の信号電圧をサンプリング電圧として取り込むサンプリング動作が前記走査配線の電圧により制御されており、前記電圧比較回路は、前記基準電圧と前記サンプリング電圧を比較し、両者の電圧の高低状態により制御出力が変化し、前記電気光学素子駆動回路は、その制御電圧により電気光学素子の点灯及び非点灯状態を2値制御することを特徴とする表示装置。

【請求項2】 請求項1において、前記電気光学素子として、有機エレクトロルミネッセンス素子を用いたことを特徴とする表示装置。

【請求項3】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されており、前記サンプリング回路は、前記信号配線の信号電圧をサンプリング電圧として取り込むサンプリング動作が走査配線の電圧により制御されており、前記電圧比較回路は、その基準電圧と前記サンプリング電圧を比較し、前記サンプリング電圧もしくは前記基準電圧が時間とともに変化することにより、両者の電圧の高低状態が反転すると制御出力が変化し、前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御することを特徴とする表示装置。

【請求項4】 請求項3において、前記電圧比較回路として、差動入力回路を用いたことを特徴とする表示装置。

【請求項5】 請求項3において、能動素子として薄膜トランジスタを用い、前記電圧比較回路の複数の入力部には、前記サンプリング電圧と前記基準電圧の少なくともいずれかの入力端子が前記サンプリング電圧と前記基準電圧に電圧差を発生させる電圧補正回路を介して接続されていることを特徴とする表示装置。

【請求項6】 請求項5において、前記電圧補正回路は、容量と薄膜トランジスタからなることを特徴とする表示装置。

【請求項7】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されており、前記サンプリング回路は、前記信号配線の信号電圧をサ

ンプリング電圧として取り込むサンプリング動作が走査配線の電圧により制御されており、前記サンプリング電圧が時間とともに基準電圧に近くなるように変化させるサンプリング電圧処理回路を含み、前記電圧比較回路は、前記基準電圧と前記サンプリング電圧を比較し、両者の電圧の高低状態が反転すると制御出力が変化し、前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御することを特徴とする表示装置。

【請求項8】 請求項7において、前記サンプリング回路は、少なくとも1つのサンプリングトランジスタ及び1つのサンプリング容量から構成されており、前記サンプリングトランジスタは前記走査配線及び前記信号配線及び前記サンプリング容量に接続されており、前記サンプリング電圧処理回路は、サンプリング容量を含む1つ以上の容量と1つ以上の抵抗からなり、前記サンプリング容量に保持した電荷量を時間とともに変化させる回路から構成されることを特徴とする表示装置。

【請求項9】 請求項7において、前記サンプリング回路は、少なくとも1つのサンプリングトランジスタ及び1つのサンプリング容量から構成されており、前記サンプリングトランジスタは、前記走査配線、前記信号配線及びサンプリング容量に接続されており、前記サンプリング電圧処理回路は、サンプリング容量を含む1つ以上の容量と抵抗およびトランジスタからなる電流制御回路から構成されることを特徴とする表示装置。

【請求項10】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されてなる表示装置の駆動方法において、前記サンプリング回路は、前記信号配線の信号電圧をサンプリング電圧として取り込むサンプリング動作が走査配線の電圧により制御されており、前記電圧比較回路は、その基準電圧と前記サンプリング電圧を比較し、両者の電圧の高低状態が反転すると制御出力が変化し、前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御し、

かつ、前記基準電圧は周期毎に時間とともに変化し、サンプリング電圧と電圧の高低が周期内に反転するように設定されており、周期はじめてから反転時まで、もしくは反転時から次周期までの期間、前記有機EL素子を点灯させることにより周期中の点灯時間を制御することを特徴とする表示装置の駆動方法。

【請求項11】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、信号サンプリン

グ回路と、基準電圧サンプリング回路と、電圧比較回路と基準電圧配線と有機EL駆動回路が配置されており、前記信号サンプリング回路は、前記信号配線の信号電圧を信号サンプリング電圧として取り込む信号サンプリング動作が前記走査配線の電圧により制御されており、前記基準電圧サンプリング回路は、前記基準電圧配線の基準値を基準サンプリング電圧としてサンプリングし、基準電圧処理回路を介して画素基準電圧に変換して電圧比較回路に接続されており、

前記電圧比較回路は、その基準サンプリング電圧と前記画素基準電圧を比較し、両者の電圧の高低状態が反転すると制御出力が変化し、

前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御することを特徴とする表示装置。

【請求項12】 請求項11において、

前記基準電圧処理回路は、基準電圧の極性を反転し、前記基準電圧との和電圧を演算する機能を有することを特徴とする表示装置。

【請求項13】 請求項12において、

前記基準電圧処理回路は、容量とトランジスタからなるサンプリング回路から構成され、前記トランジスタの主回路には前記基準電圧配線と、基準電圧サンプリング容量が接続され、基準電圧をサンプリングした後、前記基準電圧配線と前記電圧比較回路の入力部に直列に挿入することにより、それらの和電圧を演算する機能を有することを特徴とする表示装置。

【請求項14】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、信号サンプリング回路と、基準電圧サンプリング回路と、電圧比較回路と基準電圧配線と有機EL駆動回路が配置されており、前記信号サンプリング回路は、前記信号配線の信号電圧を信号サンプリング電圧として取り込む信号サンプリング動作が前記走査配線の電圧により制御されており、前記基準電圧サンプリング回路は、前記基準電圧配線の基準値を基準電圧としてサンプリングし、基準電圧処理回路を介して画素基準電圧に変換して電圧比較回路に接続されており、

前記基準電圧処理回路は、基準サンプリング電圧を前記信号サンプリング電圧と電圧の高低が反転するように時間とともに変化させる機能を有しており、

前記電圧比較回路は、その基準サンプリング電圧と前記画素基準電圧を比較し、両者の電圧の高低状態が反転すると制御出力が変化し、

前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御することを特徴とする表示装置。

【請求項15】 請求項14において、

前記基準電圧処理回路は、基準電圧サンプリング容量を含む1つ以上の容量と1つ以上の抵抗からなり、前記基

準電圧サンプリング容量に保持した電荷量を時間とともに変化させる回路もしくはサンプリング容量を含む1つ以上の容量と抵抗およびトランジスタからなる電流制御回路から構成されることを特徴とする表示装置。

【請求項16】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されてなる表示装置の駆動方法において、前記表示装置に、請求項11～15の何れかに記載の表示装置を用い、

前記画素基準電圧は周期毎に時間とともに変化し、信号サンプリング電圧と電圧の高低が周期内に反転するように設定されており、周期ははじめから反転時まで、もしくは反転時から次周期までの期間、前記有機EL素子を点灯させ、周期中の点灯時間を制御することにより表示輝度を制御することを特徴とする表示装置の駆動方法。

【請求項17】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されてなる表示装置の駆動方法において、前記表示装置に、請求項3～9の何れかに記載の表示装置を用い、

前記サンプリング電圧は時間とともに変化し、前記サンプリング電圧と前記信号サンプリング電圧との高低が反転するように設定されており、

前記走査配線により周期的にサンプリングが繰り返されることにより、周期ははじめから反転時まで、もしくは反転時から次周期までの期間、前記有機EL素子を点灯させ、周期中の点灯時間を制御することにより表示輝度を制御することを特徴とする表示装置の駆動方法。

【請求項18】 請求項1～9及び請求項11～15の何れか1項において、

前記電圧比較回路は、インバータ回路と、該インバータ回路の出力と入力端子を短絡させる初期化手段と、該短絡時の出力電圧を保持し、前記サンプリング電圧と重畳させる機能を有することを特徴とする表示装置。

【請求項19】 請求項1～9及び請求項11～15の何れか1項において、

前記電圧比較回路は、反転増幅回路と、該反転増幅回路の出力と入力端子を短絡させる初期化手段と、該短絡時の出力電圧を保持し、前記サンプリング電圧と重畳させる機能を有することを特徴とする表示装置。

【請求項20】 請求項1～9及び請求項11～15の何れか1項において、

前記電圧比較回路は少なくとも1つのトランジスタからなり、その入力端子としてゲート端子及びソース端子を用い、一方の端子に前記サンプリング電圧もしくは信号先負リング電圧を接続し、他方に前記基準電圧または前記画素基準電圧を接続することを特徴とする表示装置。

【請求項21】 請求項1～9及び請求項11～15の

何れか1項において、

前記電圧比較回路は少なくとも1つのトランジスタからなり、その入力端子としてゲート端子及びソース端子を用い、前記ゲート端子には前記信号サンプリング電圧を接続し、前記ソース端子には前記基準電圧または前記画素基準電圧を接続することを特徴とする表示装置。

【請求項22】 請求項1～9及び請求項11～15の何れか1項において、

前記電圧比較回路として少なくとも1つのトランジスタからなる増幅回路を用い、ゲート端子には前記信号サンプリング電圧を接続し、ソース端子には前記基準電圧または前記画素基準電圧を接続し、ドレインには負荷として抵抗またはダイオードを接続することを特徴とする表示装置。

【請求項23】 請求項20～22のいずれかにおいて、

前記電圧比較回路の複数の入力端子は、その一方に前記サンプリング電圧もしくは前記信号サンプリング電圧、他方に前記基準電圧または前記画素基準電圧を接続する際に、少なくとも一方の入力端子には容量を介して接続

【請求項24】 複数の走査配線と、互いに交差する複数の信号配線により囲まれた画素には、サンプリング回路と電圧比較回路と基準電圧配線と有機EL駆動回路が配置されており、

前記サンプリング回路は、前記信号配線の信号電圧をサンプリング電圧として取り込むサンプリング動作が走査配線の電圧により制御されており、前記サンプリング電圧が時間とともに基準電圧に近くなるように変化させるサンプリング電圧処理回路を含み、

前記電圧比較回路は、前記基準電圧と前記サンプリング電圧を比較し、両者の電圧の高低状態が反転すると制御出力が変化し、

前記有機EL駆動回路は、その制御電圧により有機EL素子の点灯及び非点灯状態を2値制御し、

前記画素を多数配列した表示領域の外部に、前記走査配線を駆動するために順次シフトするパルスが発生するパルス駆動回路が接続され、

前記信号配線には、外部から入力した映像信号を、前記サンプリング電圧処理回路の時間関数の逆関数となる電圧に変換する非線型変換機能を有する映像信号変換回路により変換して入力することを特徴とする表示装置。

【請求項25】 請求項24において、

前記映像信号変換回路は、前記信号電圧を指数関数に相当する非線型回路を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は時間デューティを可変し、階調表示が可能な有機EL表示装置、及び液晶、FEDなどの2値表示が可能な表示装置とその駆動

方式に関する。

【0002】

【従来の技術】アクティブマトリクス方式の有機EL表示装置は高効率、高輝度、高視野角の特徴を有する自発光表示装置であり、実用化が進んでいる。階調駆動を実現するため画素内にアナログメモリ及び電圧-電流変換回路を搭載し、アナログメモリの電圧に対応して有機EL素子駆動電流を制御する方法であるが、トランジスタの特性ばらつきが大きいため、発光輝度のばらつきが大きく、表示輝度が不均一となり、画質向上は困難である。一方、デジタル表示駆動方式ではEL素子は画素のスイッチトランジスタにより点灯もしくは非点灯状態のいずれかの状態となるよう制御する。

【0003】この技術は特開平8-241048号に詳細に述べられ、1TFT及び1個の容量からなるデジタルメモリを内蔵し、このメモリの出力に応じて有機ELの点灯/非点灯を制御する画素構成が示されている。この方式により、画素の点灯時の輝度均一性は大きく改善された。

【0004】この画素を駆動するためには、1フレーム時間中に複数のサブフィールド期間に分割し、1画面分の走査後に一定の表示時間を設け、各画素の点灯/非点灯を制御し、これを繰り返すことにより各画素の階調表示を実現している。このため、マトリクスが大型化した際には、配線抵抗及び配線容量からなる配線遅延が大幅に増大し、必要とするサブフィールドごとの走査時間が増大するため、表示時間が不足してしまう。表示輝度を高めるためには、ELにとって発光効率が低い大電流の動作点を用いなくてはならず、パネルの消費電力の増大につながる懸念がある。また、大型化しようとする配線遅延が著しく増大し、フレーム時間が長くなってしまい、ちらつきなどを生じて、動画像表示の特性が低下してしまう。

【0005】

【発明が解決しようとする課題】上記従来技術においては、表示輝度のばらつきを無くすために画素の有機EL素子を2値駆動した。また、階調駆動を得るために1フレーム時間を複数のサブフィールド期間に分割し、各サブフィールド期間毎に全ての画素を走査し、各階調のビット構成の2値表示データを画素に書き込み、表示期間に階調毎に所定の輝度、時間点灯させている。

【0006】しかしながら、画質を向上させるために階調数を増やすとサブフィールド数が増加し、画素の走査周波数が向上する。例えば、640×480画素の表示装置をフレーム周波数60Hzにてbit階調で、水平ブランキング期間を20%、1サブフィールド期間中の1/2期間を表示時間として表示しようとする、走査周波数は60×480×1.2×8×2=552kHzとなり、1水平走査期間は1.8μsecとなる。これは、従来のアナログ駆動の走査周波数が34.6kHzであり、実に16倍もの高速動作が必要

である。

【0007】このため、画素部の配線抵抗、容量による配線遅延をアナログ画素に比べ大幅に低抵抗化、低容量化する必要があり、配線膜厚や配線層間絶縁膜を厚くする必要が有る。このことは、歩留りを低下させる要因となるとともにプロセスが複雑となりコストが増大する。また、画質を向上しようとして高精細化、階調数を増大したり、大型化しようとする、更なる走査周波数の増大を招き高画質化、大型化が困難になる。また、走査周波数の増大は回路消費電力の増大を引き起こし、また信号処理回路の高速化が必要となるためパネルの発熱量が増大する原因となる。

【0008】本発明の目的は、上記従来技術の問題点を鑑み、高精度の階調表示ができ、かつ、電力損失を低減できる表示装置とその駆動方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成する本発明は、画素の表示輝度を均一とするため各画素において点灯／非点灯を制御することとし、表示時間を有効に利用するため、従来技術におけるサブフィールドの組み合わせによる階調表示ではなく、フレーム時間における点灯時間の比率を画素毎に制御することにより階調制御を実現した。

【0010】このため、画素には表示輝度に対応したアナログの信号電圧をサンプリングするため、トランジスタ及び容量からなる信号サンプリング回路と、サンプリングした信号電圧を時間とともに変化させるため時定数回路もしくは定電流回路を設け、サンプリングした信号電圧を連続的に変化させ、比較の基準として基準電圧との高低関係を比較するための電圧比較回路を画素に設けた。

【0011】また、第2の手段として、上記手段に加えて、基準電圧をサンプリングするための基準電圧サンプリング回路を設け、基準電圧を時間とともに変化させるために時定数回路もしくは定電流回路を設け、サンプリングした基準電圧を連続的に変化させ、信号サンプリング電圧との電圧の高低関係を比較するための電圧比較回路を画素に設けた。

【0012】また、第3の手段として、画素には表示輝度に対応したアナログの信号電圧をサンプリングするため、トランジスタ及び容量からなる信号サンプリング回路と、基準電圧をサンプリングするための基準電圧サンプリング回路を設け、基準電圧をサンプリングした基準電圧コンデンサを基準電圧と電圧比較回路との間に接続することにより、サンプリングした時点での基準電圧からの差電圧と信号サンプリング電圧を比較するように接続した画素回路を用いた。

【0013】以上の手段により点灯時間の比率を制御するため、駆動方式を以下のように制御した。

【0014】第1の手段においては、線順次走査駆動に

より走査配線毎に選択した画素において信号電圧をサンプリングし、選択期間終了後の信号電圧は、時定数階回路により時間とともに信号をサンプリングした容量の端子間電圧が低下する。電圧比較回路では信号電圧と基準電圧が比較され、高低関係が反転すると出力端子である制御電圧が変化する。制御電圧によりEL駆動回路は主回路が開閉し、画素の有機EL素子は主回路が閉じている期間だけ点灯する。

【0015】第2の手段においては、線順次走査駆動により走査配線毎に選択した画素において信号電圧及び基準電圧をサンプリングし、選択期間終了後のサンプリングした基準電圧は、時定数階回路により時間とともにサンプリングした容量の端子間電圧が低下する。電圧比較回路では信号電圧と基準電圧が比較され、高低関係が反転すると出力端子である制御電圧が変化する。制御電圧によりEL駆動回路は主回路が開閉し、画素の有機EL素子は主回路が閉じている期間だけ点灯する。

【0016】第3の手段においては、線順次走査駆動により走査配線毎に選択した画素において信号電圧及び基準電圧をサンプリングし、選択期間終了後のサンプリングした基準電圧は、サンプリングした容量の端子間電圧を基準電圧配線と電圧比較回路の入力端子間に挿入される。この時電圧比較回路に対して極性が反転するように接続されるので選択期間終了直後の電圧比較回路の基準電圧入力端子電圧である相対基準電圧はほぼ0となっている。その後は基準電圧配線の電圧変化に応じて入力電圧が相対的に変化する。電圧比較回路では信号電圧と相対基準電圧が比較され、高低関係が反転すると出力端子である制御電圧が変化する。制御電圧によりEL駆動回路は主回路が開閉し、画素の有機EL素子は主回路が閉じている期間だけ点灯する。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

（第1実施例）図1は実施例1による表示装置の画素回路の基本構成を示す。画素回路には、信号電圧サンプリングコンデンサ3と、信号サンプリングTFT2から構成され、信号電圧をサンプリングする信号サンプリング回路1、コンパレータ4、基準電圧配線9、OLED駆動回路であるOLED電源配線11、OLEDドライバトランジスタ5、OLED6、図示していないOLEDコモン電極12、及びサンプリング動作を制御する走査配線8、映像信号を供給する信号配線7、グランド電位を供給するコモン配線10、から構成される。表示装置はこの画素回路をマトリクス状に配置して構成される。

【0018】図2は本画素の駆動波形を示す。走査配線8に印加する走査電圧は走査配線毎に上から順次下方向に選択状態になると、サンプリング回路1では信号配線7を介して供給する信号電圧をサンプリングコンデンサ3に接続し、メモリ電圧として充電する。メモリ電圧は

次に走査電圧が選択状態になるまでこの電圧を保持する。1画面分の走査期間が終了した後に、表示期間を取り、基準電圧配線9には図示のようなのぎり波形を印加する。コンパレータ4では入力端子のいずれの電圧が高いかにより出力端子電圧が変化する。本回路においては入力端子にはサンプリング回路1のメモリ電圧が印加され、他方には基準電圧配線が接続されている。メモリ電圧は信号電圧に応じて1フレーム時間内は1定の電圧を保ち、基準電圧は表示期間中に変化するので、信号電圧範囲を基準電圧範囲内で変化させることにより、表示期間内の任意のタイミングにおいて基準電圧とメモリ電圧の高低関係が反転する。

【0019】これにより表示期間内の任意の時間だけコンパレータの出力パルスを発生させる事ができる。コンパレータの出力にはOLED駆動回路5が接続されており、コンパレータの出力電圧が高い期間はOLEDドライバトランジスタが導通し、OLEDドライバトランジスタによりOLEDは点灯するので表示期間中において任意の時間だけOLEDの発光させるよう制御する事ができ、階調表示を行う事ができる。この方式によれば回路構成は簡便であり、すべての画素駆動回路の制御にTFTを用いて構成すれば、ガラス基板上に表示装置を内蔵できる。また、Siウェハー上に本回路を形成すれば、ガラス基板上に形成するTFTに比べて微細加工が可能であるので、発光型の小型、高精細パネルを実現できる利点がある。

(第2実施例) 次に、図3を用いて第2の実施例を説明する。本実施例は画素内の信号電圧サンプリング回路に時定数回路を設け、メモリ電圧波形を時間とともに変化させることにより発光時間を制御し、階調制御を実現したものである。時定数付き信号サンプリング回路20は信号サンプリングコンデンサ3と、時定数抵抗21から構成され、時定数抵抗21は信号電圧サンプリングコンデンサ3と並列に接続されている。

【0020】図4に駆動波形を示す。回路の時定数はフレーム時間である16m秒程度であり、画素内部に用いる容量は SiO_2 ゲート絶縁膜が100nmであると、 $0.345\text{Ff}/\mu\text{m}^2$ なので、 $200\mu\text{m}$ 角のエリアでは13pF、抵抗として1.3Gオーム程度の高抵抗が必要であるので、Siを用いた抵抗が適している。

【0021】この画素回路方式では、時定数回路が内蔵されているのでサンプリングしたメモリ電圧が選択期間終了後に放電するので、メモリ電圧はエクスポネンシャルに低下し、基準電圧以下になるとコンパレータ出力が反転するのでOLEDは走査の際に点灯し、任意の時間が経過すると消灯する。

【0022】従って、各画素において信号電圧に応じた発光時間制御ができる。表示期間は各走査線毎に走査パルス印加と同時に発光し、走査のタイミングを基準として1フレーム時間内の任意の発光時間制御が可能である。この点は実施例1と大きく異なっており、フレーム

時間のすべてを発光時間に充てる事ができる。

【0023】これに対し、実施例1ではフレーム期間中には各画素に信号電圧を書き込む選択時間と、発光表示するための表示期間とに分かれている。表示輝度は時間平均輝度となるので同じ明るさを得るためには、選択時間と発光時間の比率の分だけ高輝度に発光させる必要がある。その分、OLED素子には多くの電流を印加する必要がある。

【0024】このように、第2の実施例により、低電力化、長寿命化が可能になる。なお、これまでの説明では走査電圧が印加するときに発光を開始するので、完全に「黒」のデータを表示する際には信号電圧は基準電圧よりも低く設定する事により全く発光しないように駆動でき、コントラスト比を高く取る事ができる。また、最も輝度の高い表示する際には信号電圧を高くし、1フレーム時間経過した後でもメモリ電圧を基準電圧以上となるように信号電圧を設定する事により、画素は常時点灯するので輝度が高くなる。

【0025】また、CRTで微少面積部において高輝度を表示する際に得られる、いわゆるピーク輝度表示に対応して特定部分の輝度を高められるので、映像にめりはりを表わす事ができる。また、OLED電源配線は走査線毎に分けて駆動しているので、フレーム時間の一部分のみのOLED駆動電圧を高く設定する事によってもピーク輝度を表示できる。この場合は特に、OLED駆動電圧として各走査線毎にタイミングをずらせて電圧を変化する波形を印加する事により実現できる。

(第3の実施例) 次に、図5を用いて第3の実施例を説明する。第2の実施例に対し、メモリ電圧を放電するための放電用トランジスタ32と、放電制御電圧33が加えられている。画素選択期間終了後に放電制御電圧を印加する事により、放電用トランジスタを介して信号電圧をメモリコンデンサに充電した電荷が放電し、メモリ電圧を変化させる。

【0026】なお、図6に示すように、トランジスタのドレイン電圧は非飽和領域において、ドレイン電圧に依らず定電流特性を示すので、リニアリティーの高い電圧-時間変換が可能になる。コンパレータとの接続の際には、信号電圧が基準電圧よりも高い場合にOLEDが点灯するように接続するのがよい。また、放電用トランジスタをTFTで構成する場合は、トランジスタを直列に接続する、あるいはゲート幅よりもゲート長が長いトランジスタとする事によりオフ時の電流を下げられるので、フレーム時間程の長い放電時定数を得る事ができる。

(第4の実施例) 次に図7を用いて第4の実施例を説明する。本実施例の特徴は基準電圧に時定数回路を接続し、走査パルスにより容量を放電する事により時間変化波形を発生させ、サンプリングした信号電圧と逐次電圧を比較することにより発光時間を制御する事にある。このため、基準電圧配線11及びグランド配線10間に抵

抗51とコンデンサ52からなる時定数回路50を設け、コンデンサに並列に放電用トランジスタ53を設け、ゲートを走査配線8に接続する。

【0027】図8に駆動波形を示す。時定数回路50のコンデンサの電圧である比較入力電圧は、走査パルスが印加されるとグラウンド電位にリセットされ、コンパレータの出力がリセットされる。パルスが終了すると同時に、抵抗を介して基準電圧が印加されるので電圧が上昇する。この電圧と信号電圧とがコンパレータに接続されており、比較電圧がメモリ電圧である V_m を越えた時点でコンパレータの出力が変化する。

【0028】OLEDはコンパレータの出力がリセットされている期間のみ発光するように制御されるので、図のように走査パルス印加と同時に発光し、フレーム時間内の任意の時間に消灯することができる。また、走査期間に発光を停止させるためには、OLED電源電圧を最低走査選択時間よりも長く、発光しきい値以下に下げる事により不要な発光を抑制できる。

(第5の実施例) 第5の実施例を図9に示す。本実施例の特徴は、保持期間中のメモリ電圧を変化させるために、信号電圧メモリ容量に並列に時定数回路を接続し、1つのトランジスタからなるコンパレータ回路80を用いたものである。

【0029】本実施例ではコンパレータトランジスタ83のゲート電極とソース電極を入力端子として用いるので、それぞれメモリ電圧と基準電圧配線に接続する。ドレイン端子からは負荷抵抗81を介してOLED電源配線11に接続する。コンパレータトランジスタはゲート電圧がドレイン電圧よりも高くなるとオン状態となり、出力端子82は基準電圧となる。また、ゲート電圧がソース電圧よりも低い場合にはオフ状態となるので出力端子はOLED電源電圧となり、コンパレータ機能を有する。この実施例の接続ではメモリ電圧が基準電圧よりも高い場合にコンパレータ出力は基準電位となり、OLEDドライバトランジスタがオン状態となり点灯する。

【0030】この回路ではメモリ電圧の入力端子として、高インピーダンスのトランジスタのゲート端子を用いる事により、高インピーダンスのサンプリング回路の出力を電圧変動なく取り出せる利点がある。また、ドレイン端子には抵抗が接続されているのでOLED電源電圧が変化しても、しきい特性に影響が少ない。さらに、ゲート端子とメモリ電圧との間にMOSダイオードを直列に接続する事により、トランジスタのしきい値電圧が補正できるのでコンパレータの精度が向上する。これは、コンパレータの導通はトランジスタの V_{GS} により制御され、 $V_{GS} > V_{th}$ なるしきい値 V_{th} 以上の電圧により、トランジスタの導通が制御されるためであり、MOSダイオードを挿入する事によりゲート端子には V_{th} 相当の電圧をバイアスして印加できる。

【0031】なお、ドレイン端子に接続した抵抗は負荷

抵抗であり、抵抗値が高いとコンパレータの感度が高まる。これは回路の増幅度が負荷抵抗に依存しており、高抵抗になるほどゲートとソースの電位差によるドレイン電流の変化を大きな電圧差として取り出せるためである。抵抗を構成するためには金属薄膜やSiを用いる事ができるが、不純物濃度が低いSi膜が適している。

【0032】更には、抵抗ではなくダイオードを接続する事により同等の効果が得られる。ダイオードを構成するためにはトランジスタのドレインとゲートを接続した素子や、i層を介してp型n型半導体を接続したpinダイオードがよい。これらの素子はTFTプロセスで形成でき、電圧電流特性が非線型製を有しており、この抵抗値は10Mオーム以上と高く（ドーピングしたシリコン薄膜はたかだか数kオーム）、感度の高いコンパレータを形成できる。

(第6実施例) 次に、図10を用いて実施例6を説明する。本実施例の特徴は、コンパレータ回路79としてインバータ回路を基本構成として用いており、トランジスタ特性などのばらつきに起因する入出力特性のばらつきを補償する目的で、入出力端子間を短絡する初期化手段、つまりリセット機構を設けている点である。もう一つの特徴は、インバータがリセットされた状態の出力電圧に等しい入力電圧を、コンパレータのしきい電圧として記憶させるリセット電圧サンプリング回路80を有する点にある。

【0033】コンパレータ回路79は、1対のCMOSトランジスタからなるインバータ回路75と、インバータ回路の入力端子と出力端子を接続する初期設定トランジスタ74とから構成される。インバータ回路75のリセット状態で、等しい電圧関係にある入出力電圧をサンプリングするリセット電圧サンプリング回路80は、インバータの入力電圧をサンプリングする為、リファレンス電圧保持容量71とインバータ入力端子とリファレンス電圧保持容量間に主回路を接続したリセットトランジスタ72と、リファレンス電圧保持容量71と、信号電圧サンプリングコンデンサ3の一端に接続されている直列制御トランジスタ73から構成される。

【0034】信号電圧メモリ回路は、信号電圧サンプリングコンデンサ3の一端に主回路を接続された入力スイッチトランジスタ77と、信号電圧サンプリングコンデンサ3の他端と1コモン配線10との間に接続したコモンスイッチトランジスタ76とが接続されている。

【0035】初期設定トランジスタ74、リセットトランジスタ72、入力スイッチトランジスタ77、コモンスイッチトランジスタ76、直列制御トランジスタ73のゲート端子は共通して走査配線8に接続されており、入力スイッチトランジスタ77、入力スイッチトランジスタ77がp型トランジスタであり他のトランジスタはn型構成となっている。

【0036】またコンパレータの出力端子はp型のOL

EDドライバトランジスタ5に接続され、OLED6を駆動している。インバータの電源はインバータ電源配線70に接続しているOLED駆動電源と分離してコンパレータを駆動しており、コンパレータのしきい値が安定する。

【0037】この回路の動作について、図11の画素駆動波形を用いて説明する。走査線に選択パルスが印加されると初期設定トランジスタ74が導通状態となり、インバータ75の入力端子と出力端子間を短絡する。すると、回路の入出力特性曲線上において、入力電圧=出力電圧を表わす交点の電圧値であるリセット電圧で安定する。ここでは、Vrefで示している。この初期化電圧はオン状態のリセットトランジスタ72を介してリファレンス電圧保持容量71を充電するので、リファレンス電圧保持容量のトランジスタ側の電極電圧も図に示しておりVrefに充電される。また信号電圧サンプリング回路ではコモンスイッチトランジスタ76がオン状態であるので、図中でVsigであらわされる信号電圧が信号電圧サンプリング容量に書き込まれ、保持される。

【0038】次に画素の選択時間が終了すると初期設定トランジスタ74、リセットトランジスタ72、入力スイッチトランジスタ77、コモンスイッチトランジスタ76はオフ状態となり、直列制御トランジスタ73が導通する。この結果、リファレンス電圧保持容量71と、信号電圧サンプリングコンデンサ3が直列接続となり、各々の容量に充電されて電圧が加算されてコンパレータの入力端子に接続される。この時、コンパレータの入力電圧は図に示すようにVref+Vsigの値を示す。入力電圧はインバータのしきい電圧を超えた値となるのでコンパレータの出力は「L」レベルとなる。この時OLEDドライバトランジスタが導通し、EL素子が点灯する。

【0039】信号電圧は時定数抵抗21により放電するので、次第に電圧がコモン電圧に向かって低下する。この結果、電圧が低下しリセット電圧である図中のVref*

$$V_{mem} = V_{ref} = V_{sig} \times \exp(-t/CR) \quad (2)$$

すなわち、画素内でのメモリ電圧の時間関数に対する逆関数に対応する非線型変換により得られる。Vsigとtが比例関係となるようにVsigを変換する。これにより、図13に示すように、映像信号と発光時間tが比例し、正確な階調表示が得られる。この変換は、非線型回路により対応することができる。詳しくは、(2)式の対数を取った(3)式より得られる。

【0044】

$$CR (\ln(V_{sig}) - \ln(V_{ref})) = t \quad (3)$$

従って、入力信号電圧Vsigにあらかじめ指数関数をかけ、Vdrv = exp(Vsig) なるように変換すれば、(3)式のtがVsigに比例する関数となる。また、Vrefを0Vとすれば、さらに誤差を少なくすることができる。

【0045】図14に、以上のように信号処理する回路を組み込んだ映像信号変換回路122を含む表示装置の

*fの値を割り込むと、インバータ出力は反転するので「L」から「H」状態に変化しOLEDを消灯する。点灯から消灯までの時間はVsigの値により制御することができるので階調表示が可能である。

【0040】この方式によれば、トランジスタのしきい値が画素毎に変化しても、画素毎に適正なリセット電圧を発生させるので、コンパレータ回路のしきい値が常に一定の値となる。また温度変化や、経時変化により素子特性が変化しても、つねに最適リセット電圧を得る事ができる利点がある。以上により、常に画面全域において正しい階調表示が得られる。

(実施例7) 以上説明した画素回路を用いて表示装置を構成する際には、映像信号に比例して発光時間を制御する必要がある。テレビジョンなどに用いるアナログ映像信号には、CRTの蛍光体に合わせたガンマ関数が掛けられている。また、本発明の画素回路ではCRなどの時定数回路が取り込まれているため、印加電圧と発光時間は比例しない。このため、映像信号を単に増幅、シフトするのみでは、図12に示すように、比例関係にある信号電圧Vsig1、Vsig2、Vsig3を入力しても発光時間は比例しない。そこで、非線型の関係にある映像信号変換回路を介して、入力された映像信号を変換信号電圧に変換し、上記の名実施例に説明した画素回路に印加する。

【0041】具体的な信号処理を説明する。信号電圧をVsig、コンパレータのしきい電圧Vrefとすると、容量C、抵抗Rによる時定数回路を含む画素のサンプリング回路の容量の時間t後の電圧Vmemは(1)式のようになる。

【0042】

$$V_{mem} = V_{sig} \times \exp(-t/CR) \quad (1)$$

このVmemがVrefとなるまでの時間tselは(2)式をtについて解くことにより得られる。

【0043】

$$V_{mem} = V_{ref} = V_{sig} \times \exp(-t/CR) \quad (2)$$

構成を示す。画素表示部126には走査線に接続したシフトレジスタ回路125、信号配線に接続したサンプルホールド回路124、シリアル-パラレル信号変換に必要なシフトレジスタ回路123が、図示のように配置されている。映像信号変換回路122は外部から入力する映像信号128を処理して、サンプルホールド回路124をへて、上述した画素表示部に印加される。また、これらパネルは電源回路により必要な電源を得ることができる。

【0046】これによれば、個々の画素のトランジスタ特性にばらつきが生じても、画素回路において同一の信号電圧に対して同じ発光特性を得ることができる。また、新たに付加した映像信号変換回路により、表示装置に入力された映像信号に比例した表示が得られるので、全体として均一で正確な階調表示を得ることができる。

【0047】

【発明の効果】有機ELを用い、コンパレータ回路が内蔵された画素構成とすることにより、画素ごとに発光時間が制御できるので画素回路を構成するトランジスタの特性が変動しても輝度のばらつきが少なく、高精度の階調表示が可能であり良好な表示を提供できる。また、画素での消費電力はOLEDの点灯／非点灯状態であるのでトランジスタにおけるドレイン電力損失を低減でき、高効率の表示が実現可能であり、低電力の表示装置を提供できる。

【0048】また、コンパレータを用いた回路構成として、画素内に時定数回路を用いることにより回路構成を簡略にして構成できる。このため画素の部品点数が少なく、高精細の表示が可能となる。また、外部から三角波を印加し、画素に保持した電圧と比較する方式により発光時間を制御する構成においては、精度良く発光時間制御が可能であり、多階調化に有利となる。

【図面の簡単な説明】

【図1】本発明の実施例1による画素部回路の構成図。

【図2】実施例1の画素部の駆動波形図。

【図3】実施例2による時定数回路を有する画素部回路の構成図。

【図4】実施例2の画素部の駆動波形図。

【図5】実施例3による放電用TFTを有する画素部回路の構成図。

【図6】TFTの定電流特性図。

【図7】実施例4による基準電圧放電回路を有する画素部回路の構成図。

【図8】実施例3の画素部の駆動波形図。

*【図9】実施例5による1TFTコンパレータ回路を有する画素部回路の構成図。

【図10】実施例6による2TFTコンパレータ回路を有する画素部回路の構成図。

【図11】実施例6の画素部の駆動波形図。

【図12】印加電圧と発光時間の関係を示す特性図。

【図13】実施例7による映像信号と発光時間の関係を示す特性図。

【図14】実施例7による表示装置を示す構成図。

10 【符号の説明】

1…信号サンプリング回路、2…信号サンプリングTFT、3…信号電圧サンプリングコンデンサ、4…コンパレータ、5…OLEDドライバトランジスタ、6…OLED、7…信号配線、8…走査配線、9…基準電圧配線、10…コモン配線、11…OLED電源配線、12…OLEDコモン電極、20…時定数付き信号サンプリング回路、21…時定数抵抗、32…放電用トランジスタ、33…放電制御電圧、50…時定数回路、51…抵抗、52…コンデンサ、53…放電用トランジスタ、70…インバータ電源配線、71…リファレンス電圧保持容量、72…リセットトランジスタ、73…直列制御トランジスタ、74…初期設定トランジスタ、75…インバータ回路、76…コモンスイッチトランジスタ、77…入力スイッチトランジスタ、80…コンパレータ回路、81…負荷抵抗、82…出力端子、83…コンパレータトランジスタ、121…制御回路、122…映像信号変換回路、123…シフトレジスタ回路、124…サンプルホールド回路、125…シフトレジスタ回路、126…画素表示部。

*

【図1】

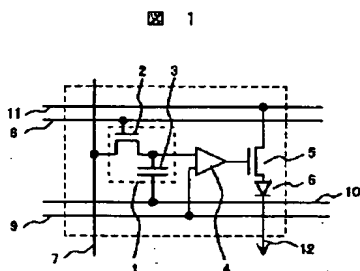


図 1

【図2】

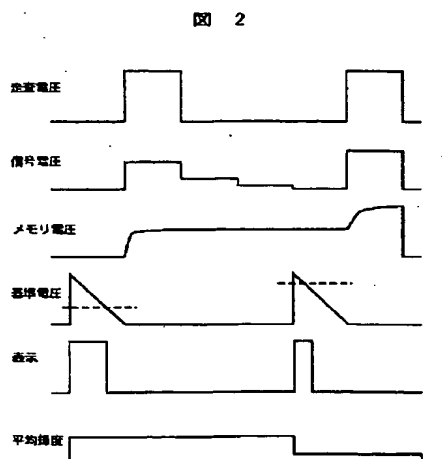


図 2

【図6】

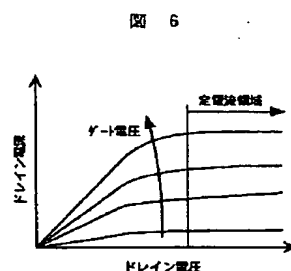
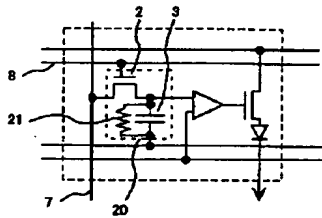


図 6

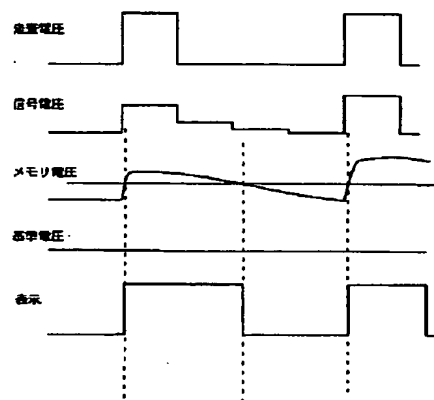
【図3】

図 3



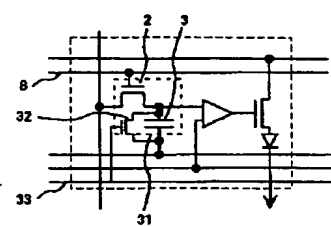
【図4】

図 4



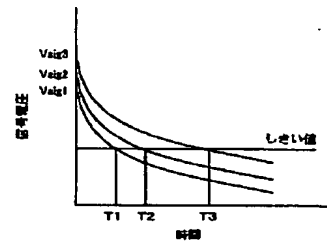
【図5】

図 5



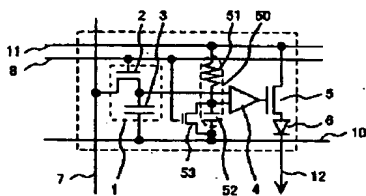
【図12】

図 12



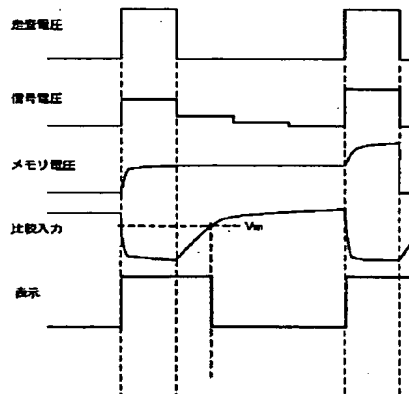
【図7】

図 7



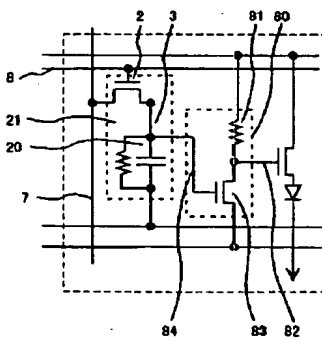
【図8】

図 8



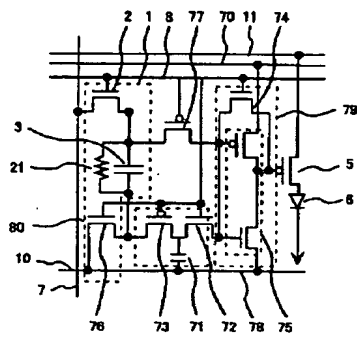
【図9】

図 9



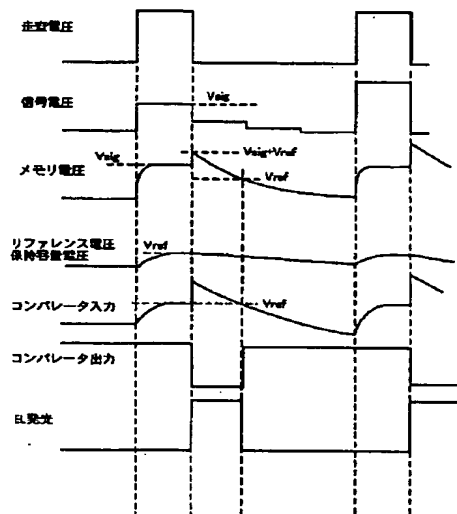
【図10】

図 10



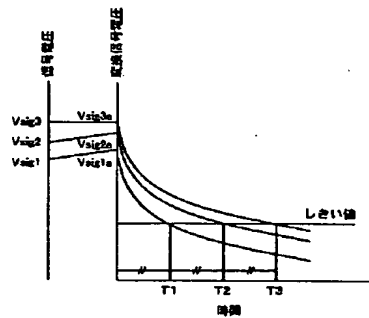
【図11】

図 11



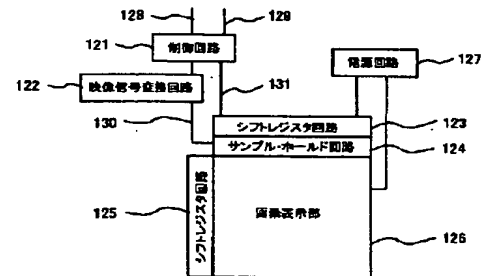
【図13】

図 13



【図14】

図 14



フロントページの続き

(51)Int.Cl.⁷

H05B 33/14

識別記号

F 1

H05B 33/14

テーマコード (参考)

A

(72)発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 金子 好之

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(12)

特開 2 0 0 2 - 2 9 7 0 9 7

(72)発明者 田中 省作
鳥取県鳥取市湖山町南 3 - 212 - 4

F ターム (参考) 3K007 AB02 AB05 AB18 BA06 DA01
D803 EB00 GA02 GA04
5C080 AA06 AA10 BB05 DD03 DD26
EE25 EE29 GG09 JJ03 JJ04
JJ05